

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-249082

(43)Date of publication of application : 27.09.1996

(51)Int.Cl.

G06F 1/04

G06F 1/08

G06F 15/78

(21)Application number : 07-048170

(71)Applicant : CANON INC

(22)Date of filing : 08.03.1995

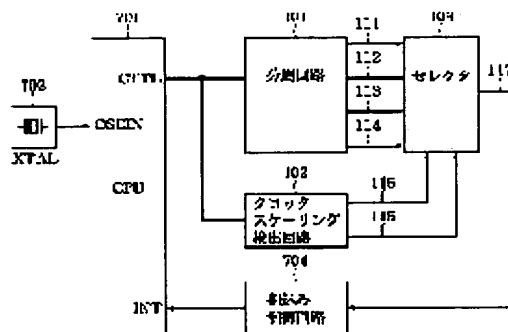
(72)Inventor : SUZUKI MASAYOSHI

(54) MICROPROCESSOR PERIPHERAL CIRCUIT AND OPERATION CLOCK MODE SETTING METHOD FOR THIS CIRCUIT

(57)Abstract:

PURPOSE: To fix the period of the timer circuit output to a prescribed value by not changing this period regardless of the change of the operation clock mode of a CPU.

CONSTITUTION: When the operation clock mode set by a CPU 701 based on the operation clock inputted by a clock scaling detection circuit 102, a selector 103 selects one frequency division signal to be an interrupt signal having a prescribed period set to the CPU 701 based on the operation clock mode and outputs it to an interrupt control circuit 704.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-249082

(43) 公開日 平成8年(1996)9月27日

(51) Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	1/04		G 0 6 F	1/04
	1/08			15/78
	15/78	5 1 0		1/04
				B
				5 1 0 P
				3 2 0 B

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願平7-48170

(22) 出願日 平成7年(1995)3月8日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 鈴木 政義

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

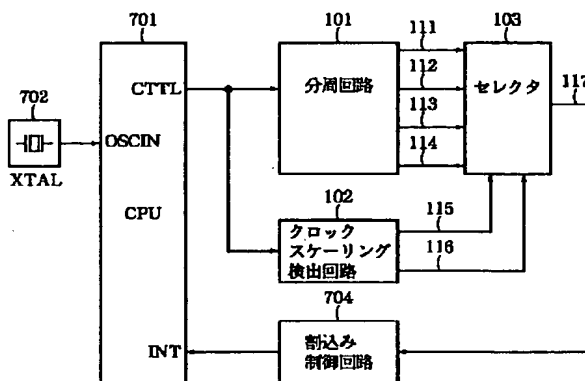
(74) 代理人 弁理士 小林 将高

(54) 【発明の名称】 マイクロプロセッサ周辺回路およびマイクロプロセッサ周辺回路の動作クロックモード設定方法

(57) 【要約】

【目的】 CPUの動作クロックモードが変化してもタイマ回路出力の周期を変化させず、所定の値に保持できる。

【構成】 クロックスケーリング検出回路102により入力される動作クロックに基づいてCPU701が設定している動作クロックモードが検出されると、該動作クロックモードに基づいてセクタ103がCPU701に規定される所定周期の割込み信号となるいずれかの分周信号を選択して割込み制御回路704に出力する構成を特徴とする。



【特許請求の範囲】

【請求項1】 プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でマイクロプロセッサに割込みをかける割込み制御手段とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段と、入力される前記動作クロック信号に基づいてマイクロプロセッサが設定している動作クロックモードを検出するモード検出手段と、このモード検出手段により検出された前記動作クロックモードに基づいてマイクロプロセッサに規定される所定周期の割込み信号となる前記いずれかの分周信号を選択して前記割込み制御手段に出力する選択手段とを具備したことを特徴とするマイクロプロセッサ周辺回路。

【請求項2】 プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でマイクロプロセッサに割込みをかける割込み制御手段とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段と、前記マイクロプロセッサから出力される動作クロックモードデータを解析する解析手段と、この解析手段により解析された前記動作クロックモードデータに基づいてマイクロプロセッサに規定される所定周期の割込み信号となる前記いずれかの分周信号を選択して前記割込み制御手段に出力する選択手段とを具備したことを特徴とするマイクロプロセッサ周辺回路。

【請求項3】 プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でメモリをリフレッシュするメモリ制御手段とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段と、入力される前記動作クロック信号に基づいてマイクロプロセッサが設定している動作クロックモードを検出するモード検出手段と、このモード検出手段により検出された前記動作クロックモードに基づいてメモリに規定される所定周期のリフレッシュ信号となるいずれかの分周信号を選択して前記メモリ制御手段に出力する選択手段とを具備したことを特徴とするマイクロプロセッサ周辺回路。

【請求項4】 プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でメモリをリフレッシュするメモリ制御手段とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段と、前記マイクロプロセッサから出力される動作クロックモードデータを解析する解析手段と、この解析手段により解析された前記動作クロックモードデータに基づいてメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択し

て前記メモリ制御手段に出力する選択手段とを具備したことを特徴とするマイクロプロセッサ周辺回路。

【請求項5】 外部機器との通信状態に応じて動作クロックモードを変更することを特徴とする請求項1～4のいずれかに記載のマイクロプロセッサ周辺回路。

【請求項6】 プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でマイクロプロセッサに割込みをかける割込み制御手段と、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段とを有するマイクロプロセッサ周辺回路の動作クロックモード設定方法において、動作クロックモードデータを出力するデータ出力工程と、該出力された動作クロックモードデータに基づく動作クロックに切り換え設定する設定工程とを有することを特徴とするマイクロプロセッサ周辺回路の動作クロックモード設定方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロプロセッサ周辺回路に係り、特に動作周波数を変更可能なタイマ回路を有するマイクロプロセッサ周辺回路およびマイクロプロセッサ周辺回路の動作クロックモード設定方法に関するものである。

【0002】

【従来の技術】 パーソナルコンピュータ、ページプリンタ等に使用されているマイクロプロセッサ（以後CPUと略す）には動作クロック周波数をプログラムにより変更可能とし、処理の要求が少なくなったときに動作クロックの周波数を落とし、電力の消費量を低減する機能を有するものがある。

【0003】 以下、図10を参照して上記NS32CG16の周波数切り換え動作について説明する。

【0004】 図10は従来のマイクロプロセッサの周波数切り換え方法を説明する図であり、(a)はコンフィグレーション・レジスタのビット構成を示し、(b)はコンフィグレーション・レジスタのクロックスケールビットM、Cの設定に基づくCPUクロック周波数と消費電力量との対応を示す。なお、本例は、ナショナルセミコンダクター（NS）社のCPUであるNS32CG16に該当する。

【0005】 このマイクロプロセッサ（MPU）では、図10の(a)に示すようにコンフィグレーションレジスタ（CFG）にクロックスケール用ビットM及びクロックスケール用ビットCを有しており、これらのビットの設定により、図10の(b)のように動作クロック周波数が1/2、1/4、1/8と変更することができるよう構成されている。なお、Iは割込みベクタリングビットで、割込みモードを設定するビットに対応し、Fは浮動小数点命令セットビットで、浮動小数点ユニット（FPU）が存在するかどうかを示すビットで

ある。

【0006】なお、図10の(b)の場合、CPUには30MHzのクロック信号が入力されている。また、それにより電源電流(Icc)も低減される。このようなマイクロプロセッサを、例えばページプリンタに使用している場合、ページプリンタが印字データ待ちの状態、即ちスタンバイ状態において、上記CPUの動作クロック周波数を落とすことは、ページプリンタの消費電力を低減するのに有効な手段となっている。

【0007】一方、これらの装置においては、マイクロプロセッサから出力されるクロック信号を用いて、所定の間隔で割り込みを発生するタイマ割り込み機能やDRAMのリフレッシュ回路を動作させている。

【0008】図11、図12は、図10に示した仕様を備えるマイクロプロセッサの周辺回路の一例を示すブロック図であり、例えば上記NS32CG16をCPUとして用いてタイマ割り込み回路を構成した場合に対応する。なお、図12は、水晶発振器702の出力を分周回路703の入力クロックとした場合のタイマ割り込み回路に対応する。

【0009】図において、701はCPU、702は水晶発振器で、周波数は30MHzである。703は分周回路で、CPU701のクロック出力信号(CTTL)を分周し、所定の周波数の信号を割り込み制御回路704に出力する。割り込み制御回路704は、分周回路703の出力に応じてCPU701に割り込み信号を出力し、CPU701は所定時間毎に割り込み処理を実施することになる。また、CPU701のクロック出力信号(CTTL)はタイミング発生回路等の他の制御回路にも接続されている。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来例では上記CPUのコンフィグレーションレジスタ(CFG)のクロックスケール用ビットM及びクロックスケール用ビットCを変更し、動作クロック周波数を変更した場合、タイマ割り込み時間も変化してしまうため、所定の時間間隔で行わなければならない処理が、設定されたタイミングで処理できなくなるという問題点があった。

【0011】また、図示していないが分周回路703の出力によりDRAMのリフレッシュ動作をさせていた場合、リフレッシュの周期が2倍、4倍、8倍となってしまうため、DRAMに記憶しておいたデータも破壊されてしまうこととなっていた。

【0012】また、図12に示す回路例の場合は、上記図11の場合と異なり、CPU701のコンフィグレーションレジスタ(CFG)を変更しても、割り込みの間隔及びリフレッシュの周期は変化しない。

【0013】しかしながら、より高速のクロック信号を引きまわすこととなり、放射ノイズ等の増加をまねく欠

点があった。

【0014】本発明は、上記の問題点を解消するためになされたもので、本発明に係る第1～第6の発明の目的は、CPUの動作クロックモード(クロックスケール)を検出して、該検出結果に基づいて出力信号の周期を変更することにより、CPUの動作クロックモードが変化してもタイマ回路出力の周期を変化させず、所定の値に保持できるとともに、プログラムにより出力信号の周期を変更させることのできるタイマ回路を設け、CPUの動作クロックモードを変化させる際、あらかじめ対応する値を設定することにより、CPUの動作クロックモードが変化してもタイマ回路出力の周期を変化させず、所定の値に保持することができるマイクロプロセッサ周辺回路およびマイクロプロセッサ周辺回路の動作クロックモード設定方法を提供することである。

【0015】

【課題を解決するための手段】本発明に係る第1の発明は、プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でマイクロプロセッサに割り込みをかける割り込み制御手段とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段と、入力される前記動作クロック信号に基づいてマイクロプロセッサが設定している動作クロックモードを検出するモード検出手段と、このモード検出手段により検出された前記動作クロックモードに基づいてマイクロプロセッサに規定される所定周期の割り込み信号となる前記いずれかの分周信号を選択して前記割り込み制御手段に出力する選択手段とを設けたものである。

【0016】本発明に係る第2の発明は、プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でマイクロプロセッサに割り込みをかける割り込み制御手段とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段と、前記マイクロプロセッサから出力される動作クロックモードデータを解析する解析手段と、この解析手段により解析された前記動作クロックモードデータに基づいてマイクロプロセッサに規定される所定周期の割り込み信号となる前記いずれかの分周信号を選択して前記割り込み制御手段に出力する選択手段とを設けたものである。

【0017】本発明に係る第3の発明は、プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でメモリをリフレッシュするメモリ制御手段とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段と、入力される前記動作クロック信号に基づいてマイクロプロセッサが設定している動作クロックモードを検出するモー

ド検出手段と、このモード検出手段により検出された前記動作クロックモードに基づいてメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力する選択手段とを設けたものである。

【0018】本発明に係る第4の発明は、プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でメモリをリフレッシュするメモリ制御手段とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段と、前記マイクロプロセッサから出力される動作クロックモードデータを解析する解析手段と、この解析手段により解析された前記動作クロックモードデータに基づいてメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力する選択手段とを設けたものである。

【0019】本発明に係る第5の発明は、外部機器との通信状態に応じて動作クロックモードを変更するように構成したものである。

【0020】本発明に係る第6の発明は、プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサと、所定周期でマイクロプロセッサに割込みをかける割込み制御手段と、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段とを有するマイクロプロセッサ周辺回路の動作クロックモード設定方法において、動作クロックモードデータを出力するデータ出力工程と、該出力された動作クロックモードデータに基づく動作クロックに切り換え設定する設定工程とを有するものである。

【0021】

【作用】第1の発明において、モード検出手段により入力される前記動作クロックに基づいてマイクロプロセッサが設定している動作クロックモードが検出されると、該動作クロックモードに基づいて選択手段がマイクロプロセッサに規定される所定周期の割込み信号となる前記いずれかの分周信号を選択して前記割込み制御手段に出力して、マイクロプロセッサの動作クロックの周波数変動状態を監視して、常に一定周期の割込みタイミング信号を生成することを可能とする。

【0022】第2の発明において、解析手段によりマイクロプロセッサから出力される動作クロックモードデータが解析されると、該解析された前記動作クロックモードデータに基づいて選択手段がマイクロプロセッサに規定される所定周期の割込み信号となる前記いずれかの分周信号を選択して前記割込み制御手段に出力して、マイクロプロセッサからの動作クロック変更指示に従ってプログラマブルに常に一定周期の割込みタイミング信号を生成することを可能とする。

【0023】第3の発明において、モード検出手段によ

り入力される前記動作クロックに基づいてマイクロプロセッサが設定している動作クロックモードが検出されると、該動作クロックモードに基づいて選択手段がメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力して、マイクロプロセッサの動作クロックの周波数変動状態を監視して、常に一定周期のリフレッシュ信号を生成することを可能とする。

【0024】第4の発明において、解析手段によりマイクロプロセッサから出力される動作クロックモードデータが解析されると、該解析された前記動作クロックモードデータに基づいて選択手段がメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力して、マイクロプロセッサからの動作クロック変更指示に従ってプログラマブルに常に一定周期のリフレッシュ信号を生成することを可能とする。

【0025】第5の発明において、外部機器との通信状態に応じて動作クロックモードを変更して、外部機器との通信状態に対応して動作クロックモードが変更されても、所定周期の割込みタイミング信号またはリフレッシュ信号を生成することを可能とする。

【0026】第6の発明において、動作クロックモードデータを出力し、該出力された動作クロックモードデータに基づく動作クロックに切り換え設定して、マイクロプロセッサが切り換えられた動作クロック信号に基づくプログラム実行前に、一定周期の割込みタイミング信号となる分周クロックを選択可能とする。

【0027】

【実施例】図1は本発明の一実施例を示すマイクロプロセッサ周辺回路の構成を説明するブロック図であり、図11と同一のものには同一の符号を付してある。図2は、図1に示したマイクロプロセッサ周辺回路の各モードでのクロック信号の周波数を説明する図である。

【0028】図において、101は分周回路であり、CPU701のクロック出力信号(CTTL)を分周してクロック信号111~114をセレクト103に出力する。なお、クロック信号112はクロック信号111の2倍周期の信号であり、同様にクロック信号113はクロック信号112の2倍周期の信号であり、クロック信号114はクロック信号113の2倍周期の信号となっている。

【0029】102はクロックスケーリング検出回路で、CPU701のクロック出力信号(CTTL)を入力とし、CPU701の動作クロックモード(クロックスケーリング)を検出し、セレクト信号115、116をセレクト103に出力する。セレクト103は上記セレクト信号115、116に応じ、入力されたクロック信号111~114のうち1つを選択し、選択クロック信号117として割込み制御回路704に出力する。割

り込み制御回路704は、従来例同様に上記入力信号117に応じCPU701に割り込み信号を出力する。

【0030】図3は、図1に示した周辺回路の要部詳細ブロック図であり、図1と同一のものには同一の符号を付してあり、特に、上記図1に示した分周回路101、クロックスケーリング検出回路102、セクタ103等のより具体的な実施例を示したものである。なお、水晶発振器702の周波数が30MHz、CPU701の通常状態（クロックスケーリング1の状態）でのクロック出力信号（CTTL）の周波数が15MHzで、約2.18msec（約458Hz）のタイマ割り込みを発生する場合に対応する。

【0031】図において、201は11bitカウンタ、202は4bitカウンタであり、カウンタ201のクロック入力にはクロック出力信号CTTL、カウンタ202のクロック入力にはカウンタ201の最終段出力が各々入力されている。

【0032】カウンタ202の各段の出力（QA～QD）はクロック信号111～114としてセクタ103に入力される。前に説明したように、クロック信号111～114は各々2倍の周期になっていることは言うまでもない。

【0033】また、クロックスケーリングが「1」の場合、クロック信号114の周期が約2.18msecとなる。203～206はワンショット回路で、クロック出力信号CTTLを入力として、その立ち上りに同期して各々異なる所定のパルス幅のパルス信号を出力し、これらのパルス信号はDフリップフロップ（DFFと略す）207～210の各々クロック入力に接続されている（各パルス幅については後で詳しく説明する）。

【0034】即ち、ワンショット回路203の出力とDFF207のクロック入力、ワンショット回路204の出力とDFF208のクロック入力、ワンショット回路205の出力とDFF209のクロック入力、ワンショット回路206の出力とDFF210のクロック入力各々接続されている。

【0035】DFF207～210のD入力は全てクロック出力信号CTTLに接続されている。DFF207～210のQ出力は全てエンコーダ211の入力となり、エンコーダ211は、これらの4bitの入力をエンコードして、2bitとするセレクト信号115、116に応じ入力されたクロック信号111～114のうち1つを選択し、選択クロック信号117として出力する。

【0036】以下、本実施例と第1、第3の発明の各手段との対応及びその作用について図1、図3等を参照して説明する。

【0037】第1の発明は、プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサ（CPU701）と、所定周期でマイクロプロセッサに

割り込みをかける割り込み制御手段（割り込み制御回路704）とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段（分周回路101）と、入力される前記動作クロック信号に基づいてマイクロプロセッサが設定している動作クロックモードを検出するモード検出手段（クロックスケーリング検出回路102）と、このモード検出手段により検出された前記動作クロックモードに基づいてマイクロプロセッサに規定される所定周期の割り込み信号となる前記いずれかの分周信号を選択して前記割り込み制御手段に出力する選択手段（セクタ103）とを設け、クロックスケーリング検出回路102により入力される前記動作クロック信号に基づいてCPU701が設定している動作クロックモードが検出されると、該動作クロックモードに基づいてセクタ103がCPU701に規定される所定周期の割り込み信号となる前記いずれかの分周信号を選択して前記割り込み制御回路704に出力して、CPU701の動作クロック信号の周波数変動状態を監視して、常に一定周期の割り込みタイミング信号を生成することを可能とする。

【0038】第3の発明は、プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサ（CPU701）と、所定周期でメモリをリフレッシュするメモリ制御手段（図示しない）とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段（分周回路101）と、入力される前記動作クロックに基づいてマイクロプロセッサが設定している動作クロックモードを検出するモード検出手段（クロックスケーリング検出回路102）と、このモード検出手段により検出された前記動作クロックモードに基づいてメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力する選択手段（セクタ103）とを設け、クロックスケーリング検出回路102により入力される前記動作クロック信号に基づいてCPU701が設定している動作クロックモードが検出されると、該動作クロックモードに基づいてセクタ103がメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力して、マイクロプロセッサの動作クロックの周波数変動状態を監視して、常に一定周期のリフレッシュ信号を生成することを可能とする。

【0039】以下、図4～図7に示すタイミングチャートを参照して、図1に示したマイクロプロセッサの周辺回路のクロックスケーリング検出回路102の動作について説明する。

【0040】図4～図7は、図1に示したクロックスケーリング検出回路102の各クロックスケーリング時の

動作を説明するタイミングチャートであり、図4はクロックスケーリングが「1」の場合($CTTL=15\text{MHz}$)に対応し、図5はクロックスケーリングが「2」の場合($CTTL=7.5\text{MHz}$)に対応し、図6はクロックスケーリングが「4」の場合($CTTL=3.75\text{MHz}$)に対応し、図7はクロックスケーリングが「8」の場合($CTTL=1.88\text{MHz}$)に対応する。

【0041】なお、図4に示すように、説明を簡略するため、 15MHz の周期(66.7nsec)をTとする。

【0042】上記のようにワンショット回路203~206の出力パルス幅は、ワンショット回路203が $3/4T$ に、ワンショット回路204が $5/4T$ 、ワンショット回路205が $9/4T$ 、ワンショット回路206が $17/4T$ の設定とする。

【0043】図4に示すように、パルス幅が $3/4T$ に設定されたワンショット回路203の出力信号は、常にクロック出力信号CTTLが“L”の時立ち上るため、DF207の出力は常に“L”となる。

【0044】一方、パルス幅が $5/4T$ に設定されたワンショット回路204の出力信号は、常にクロック出力信号CTTLが“H”の時立ち上るためDF208の出力は常に“H”となる。同様にDF209及び210の出力は常に“H”となる。

【0045】従って、エンコーダ211の出力信号115及び出力信号116はどちらも“L”となり、よってセクタ103は入力されたクロック信号111~114の中からクロック信号114を選択し、出力信号117としてそのまま出力する。

【0046】従って、出力信号117の周期は約 2.18msec である。

【0047】次に、クロックスケーリングが「2」の場合、図5に示すようにクロック出力信号CTTLの周波数は 7.5MHz となる。

【0048】一方、DF207~210の出力で、DF208のみが“L”となりその他は全て“H”であるため、エンコーダ211の出力信号115、116は出力信号115が“L”、出力信号116が“H”となる。よって、セクタ103はクロックスケーリング1の場合と異なりクロック信号113を選択する。

【0049】しかし、クロック出力信号CTTLの周波数が 7.5MHz となっているため、クロック信号113の周期は約 2.18msec となっているため、セクタ103の出力信号117は、クロックスケーリング「1」の場合と変わらず約 2.18msec 周期となる。

【0050】以下、図6、図7に示すように、クロックスケーリングが「4」及び「8」の場合も同様にセクタ103の出力信号117の周期は変わらず約 2.18

msec のままとなる。

【0051】以上、CPU701のクロック出力信号(CTTL)が $1/2$ 、 $1/4$ 、 $1/8$ に変化しても割り込みを発生する周期は全く変化しないことになる。

〔第2実施例〕次に第2の実施例について説明する。

【0052】図8は本発明の第2の実施例を示すマイクロプロセッサ周辺回路の構成を示すブロック図であり、図1と同一のものには同一の符号を付してある。

【0053】図において、401はデコーダであり、CPU701の出力である制御信号に基づきアドレスバスA23~16及びアドレス/データバス(アドレスとデータがマルチプレクサされたバス)AD15-0をデコードする。その出力はDF402のクロック入力に接続されている。

【0054】一方、DF402のD入力はCPU701のアドレス/データバスAD1及びAD0に接続され、そのQ出力信号115及び116はセクタ103のセレクト入力に接続されている。

【0055】従って、DF402に設定されたアドレスにCPU701が所定のデータをWRITEすればDF402にデータが設定される。

【0056】上記第1の実施例と同様にセクタ103はセレクト入力となる出力信号115及び出力信号116により分周回路のクロック出力信号111~114の中から1つを選択し、割り込み制御回路へ出力信号117を出力する。

【0057】以下、本実施例と第2、第4、第5の発明の各手段との対応及びその作用について図8等を参照して説明する。

【0058】第2の発明は、プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサ(CPU701)と、所定周期でマイクロプロセッサに割り込みをかける割り込み制御手段(割り込み制御回路704)とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段(分周回路101)と、前記マイクロプロセッサから出力される動作クロックモードデータを解析する解析手段(デコーダ401、DF402)と、この解析手段により解析された前記動作クロックモードデータに基づいてマイクロプロセッサに規定される所定周期の割り込み信号となる前記いずれかの分周信号を選択して前記割り込み制御手段に出力する選択手段(セクタ103)とを設け、デコーダ401によりCPU701から出力される動作クロックモードデータが解析されると、該解析された前記動作クロックモードデータに基づいてセクタ103がCPU701に規定される所定周期の割り込み信号となる前記いずれかの分周信号を選択して前記割り込み制御回路704に出力して、マイクロプロセッサからの動作クロック変更指示に従ってプログラマブルに常に一定周期の割り込みタイミ

ング信号を生成することを可能とする。

【0059】第4の発明はプログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサ(CPU701)と、所定周期でメモリをリフレッシュするメモリ制御手段(図示しない)とを有するマイクロプロセッサ周辺回路において、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段(分周回路101)と、前記マイクロプロセッサから出力される動作クロックモードデータを解析する解析手段(デコーダ401, DFF402)と、この解析手段により解析された前記動作クロックモードデータに基づいてメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力する選択手段(セクタ103)とを設け、デコーダ401によりCPU701から出力される動作クロックモードデータが解析されると、該解析された前記動作クロックモードデータに基づいてセクタ103がメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力して、マイクロプロセッサからの動作クロック変更指示に従ってプログラマブルに常に一定周期のリフレッシュ信号を生成することを可能とする。

【0060】第5の発明は、上記第1実施例、第2実施例に示した構成において、動作クロックモードの変更条件として、例えば外部機器との通信状態に応じて動作クロックモードを変更する例であり、外部機器との通信状態に対応して動作クロックモードが変更されても、所定周期の割込みタイミング信号またはリフレッシュ信号を生成することを可能とする。これにより、外部機器との通信が待機状態において、CPU701の動作クロック周波数が低下し、消費電力の節減と放射ノイズの発生を低減できる。

【0061】以下、図9に示すフローチャートを参照しながら本発明に係るマイクロプロセッサの周辺回路の動作クロックモード設定方法について説明する。

【0062】図9は本発明に係るマイクロプロセッサの周辺回路の動作クロックモード設定方法の一実施例を示すフローチャートである。なお、(1)、(2)は各ステップを示す。

【0063】まず、これから変更するクロックスケールをDFF402に設定する(1)。次に、CPU701のコンフィグレーションレジスタ(CFG)にDFF402に設定したと同じクロックスケールを設定し(2)、処理を終了する。

【0064】以上によりCPU701のクロック出力信号(CTTL)が変化しても、割り込みを発生する周期は変化することなく一定とすることができる。

【0065】以下、本実施例と第6の発明の各工程との対応及びその作用について図8、図9を参照して説明する。

【0066】第6の発明は、プログラムに基づいて動作クロック信号の周波数を変更可能なマイクロプロセッサ(CPU701)と、所定周期でマイクロプロセッサに割込みをかける割込み制御手段(割込み制御回路704)と、前記動作クロック信号を分周して所定周期差を持つ複数の分周クロックを発生する分周手段(分周回路101)とを有するマイクロプロセッサ周辺回路の動作クロックモード設定方法において、動作クロックモードデータを出力するデータ出力工程(図9のステップ

(1))と、該出力された動作クロックモードデータに基づく動作クロックに切り換え設定する設定工程(図9のステップ(2))とを実行して、マイクロプロセッサが切り換えられた動作クロックに基づくプログラム実行前に、一定周期の割込みタイミング信号となる分周クロックを選択可能とする。

【0067】上記各実施例では動作クロック信号の周期を変化させる手段として、カウンタ回路を有する分周回路とセクタとから構成される場合に説明したが、これに限るものではないことは言うまでもない。

【0068】例えばワンショット回路で構成される場合に接続されたコンデンサ、抵抗等の定数を変化させるようにしてもよい。また、他の複数の信号の組合せ等によって変化させてもよい。

【0069】上記第1実施例では、クロックスケール検出回路としてワンショット回路による構成としたが、これに限るものではなく、PLL回路等により構成してもよい。

【0070】上記実施例によれば、CPUの動作クロックモードが変化した場合、クロックモードを検出し、それに応じてソフトウェアによる介入なしに自動的にタイマ回路(カウンタ回路)の周期を変化させることにより、所定周期のタイマ割込み信号またはメモリリフレッシュ信号等の処理を正常に処理することができる。

【0071】また、ソフトウェアによりあらかじめ設定することにより、容易な回路を付加するだけで上記タイマ割込み、メモリリフレッシュ等の処理を正常に行うことができる。

【0072】さらに、高速のクロックラインの配線を最低限にし、放射ノイズの発生を抑えることができる等の効果が得られる。

【0073】

【発明の効果】以上説明したように、本発明に係る第1の発明によれば、モード検出手段により入力される前記動作クロックに基づいてマイクロプロセッサが設定している動作クロックモードが検出されると、該動作クロックモードに基づいて選択手段がマイクロプロセッサに規定される所定周期の割込み信号となる前記いずれかの分周信号を選択して前記割込み制御手段に出力するので、マイクロプロセッサの動作クロックの周波数変動状態を監視して、常に一定周期の割込みタイミング信号を生成

することができる。

【0074】第2の発明によれば、解析手段によりマイクロプロセッサから出力される動作クロックモードデータが解析されると、該解析された前記動作クロックモードデータに基づいて選択手段がマイクロプロセッサに規定される所定周期の割込み信号となる前記いずれかの分周信号を選択して前記割込み制御手段に出力するので、マイクロプロセッサからの動作クロック変更指示に従ってプログラマブルに常に一定周期の割込みタイミング信号を生成することができる。

【0075】第3の発明によれば、モード検出手段により入力される前記動作クロックに基づいてマイクロプロセッサが設定している動作クロックモードが検出されると、該動作クロックモードに基づいて選択手段がメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力するので、マイクロプロセッサの動作クロックの周波数変動状態を監視して、常に一定周期のリフレッシュ信号を生成することができる。

【0076】第4の発明によれば、解析手段によりマイクロプロセッサから出力される動作クロックモードデータが解析されると、該解析された前記動作クロックモードデータに基づいて選択手段がメモリに規定される所定周期のリフレッシュ信号となる前記いずれかの分周信号を選択して前記メモリ制御手段に出力するので、マイクロプロセッサからの動作クロック変更指示に従ってプログラマブルに常に一定周期のリフレッシュ信号を生成することができる。

【0077】第5の発明によれば、外部機器との通信状態に応じて動作クロックモードを変更するので、外部機器との通信状態に対応して動作クロックモードが変更されても、所定周期の割込みタイミング信号またはリフレッシュ信号を生成することができる。

【0078】第6の発明によれば、動作クロックモードデータを出力し、該出力された動作クロックモードデータに基づく動作クロックに切り換え設定するので、マイクロプロセッサが切り換えられた動作クロックに基づくプログラム実行前に、一定周期の割込みタイミング信号となる分周クロックを選択することができる。

【0079】従って、CPUの動作クロックモードが変化してもタイマ回路出力の周期を変化させず、所定の値

に保持できるとともに、CPUの動作クロックモードが変化してもタイマ回路出力の周期を変化させず、所定の値に保持することができる等の効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例を示すマイクロプロセッサ周辺回路の構成を説明するブロック図である。

【図2】図1に示したマイクロプロセッサ周辺回路の各モードでのクロック信号の周波数を説明する図である。

【図3】図1に示した周辺回路の要部詳細ブロック図である。

【図4】図1に示したクロックスケーリング検出回路の各クロックスケーリング時の動作を説明するタイミングチャートである。

【図5】図1に示したクロックスケーリング検出回路の各クロックスケーリング時の動作を説明するタイミングチャートである。

【図6】図1に示したクロックスケーリング検出回路の各クロックスケーリング時の動作を説明するタイミングチャートである。

【図7】図1に示したクロックスケーリング検出回路の各クロックスケーリング時の動作を説明するタイミングチャートである。

【図8】本発明の第2の実施例を示すマイクロプロセッサの周辺回路の構成を示すブロック図である。

【図9】本発明に係るマイクロプロセッサの周辺回路の動作クロックモード設定方法の一実施例を示すフローチャートである。

【図10】従来のマイクロプロセッサの周波数切り換え方法を説明する図である。

【図11】図10に示した仕様を備えるマイクロプロセッサの周辺回路の一例を示すブロック図である。

【図12】図10に示した仕様を備えるマイクロプロセッサの周辺回路の一例を示すブロック図である。

【符号の説明】

101 分周回路

102 クロックスケーリング検出回路

103 セレクタ

701 CPU

702 水晶発振器

704 割込み制御回路

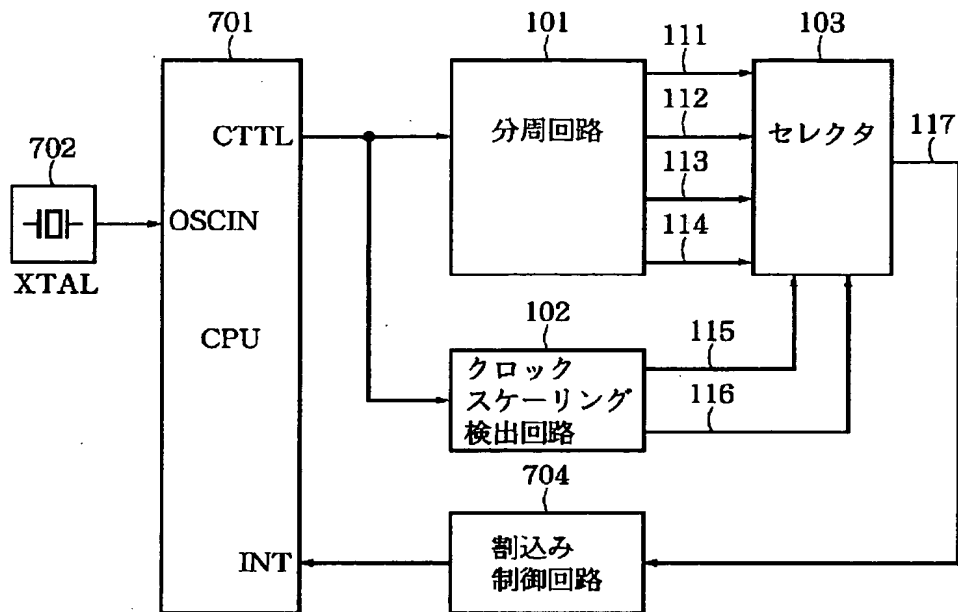
10

20

30

40

【図1】



【図2】

CTTL (MHz)		15	7.5	3.75	1.875
201 Q10 周波数 [KHz]		7.32	3.66	1.83	0.916
	周期 [ms]	0.137	0.273	0.546	1.09
202 QA 信号 111 周期 [ms]		0.273	0.546	1.09	2.18
" QB 112 "		0.546	1.09	2.18	
" QC 113 "		1.09	2.18		
" QD 114 "		2.18			

【図10】

(a)

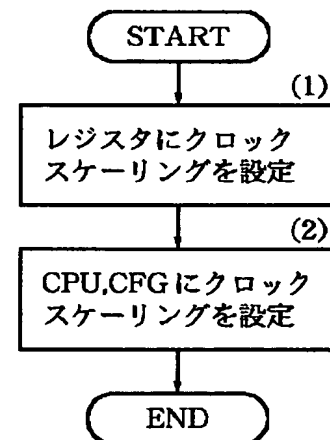
7							0
				C	M	F	I

(b)

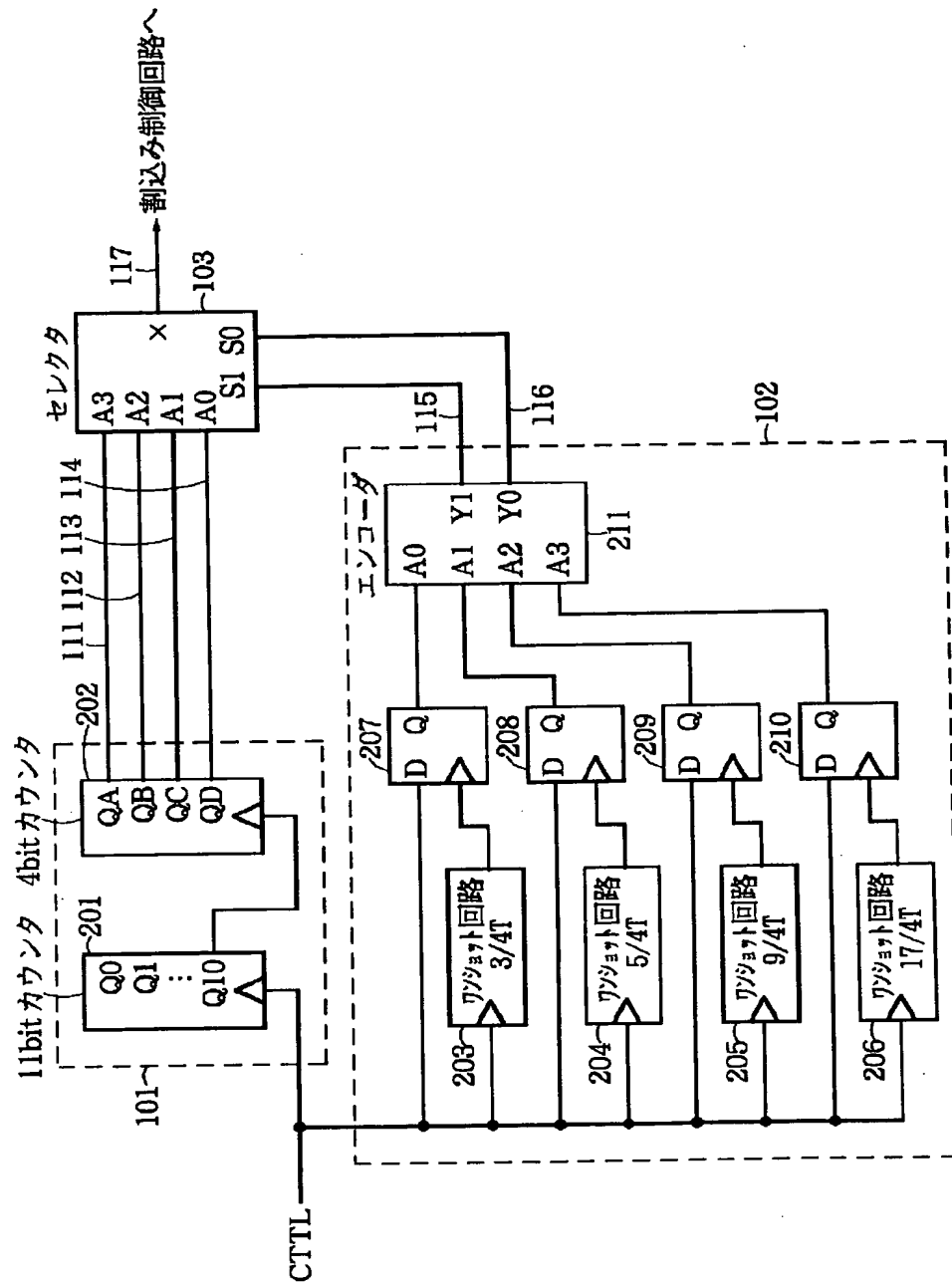
Clock Scaling Factor vs Supply Current

C	M	Scaling Factor	CPU Clock Frequency	Typical Icc at +5V
0	0	1	15MHz	140mA
0	1	2	7.5MHz	78mA
1	0	4	3.75MHz	42mA
1	1	8	1.88MHz	25mA

【図9】

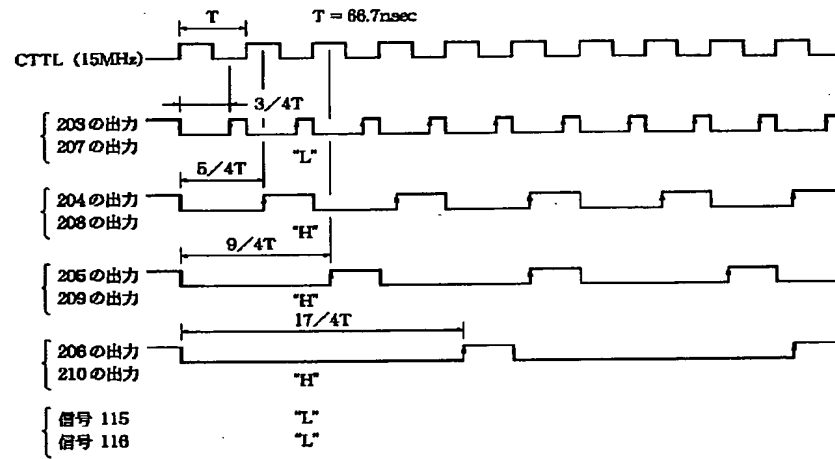


【図3】



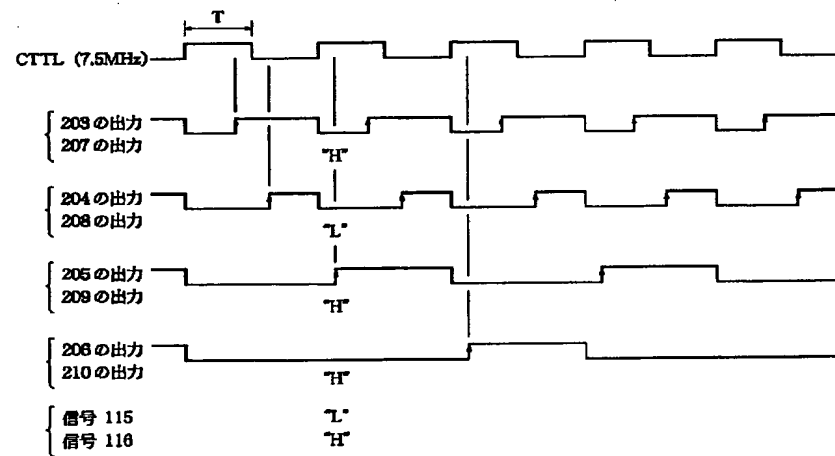
【図 4】

(a) クロックスケーリング: 1



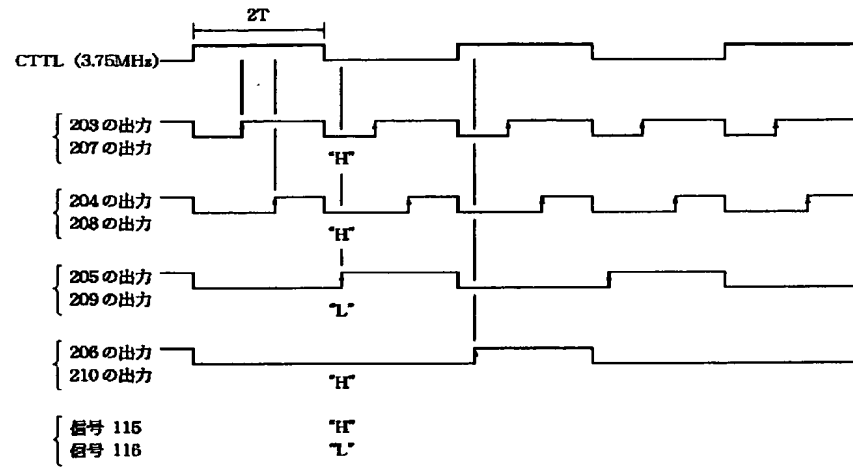
【図 5】

(b) クロックスケーリング: 2



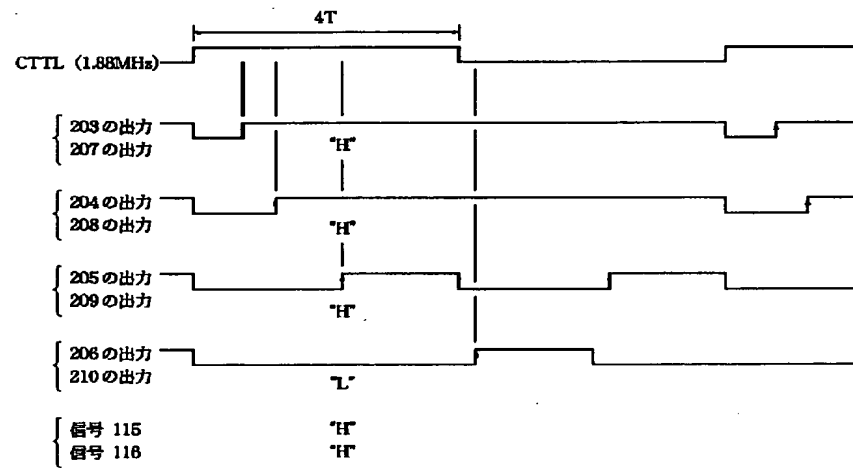
【図6】

(C) クロックスケーリング: 4

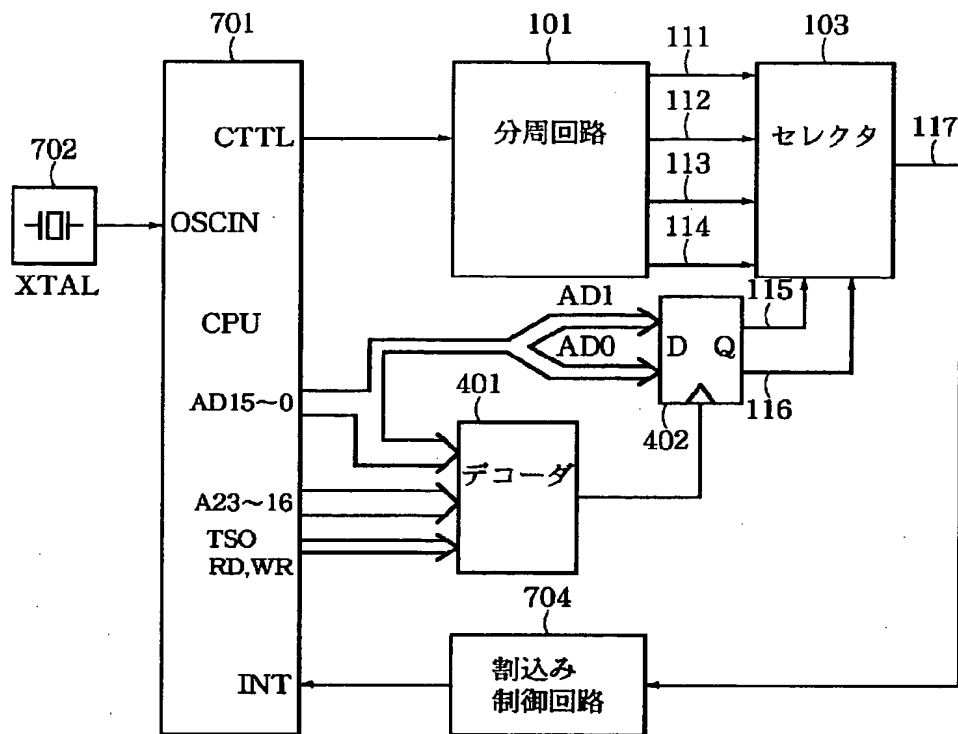


【図7】

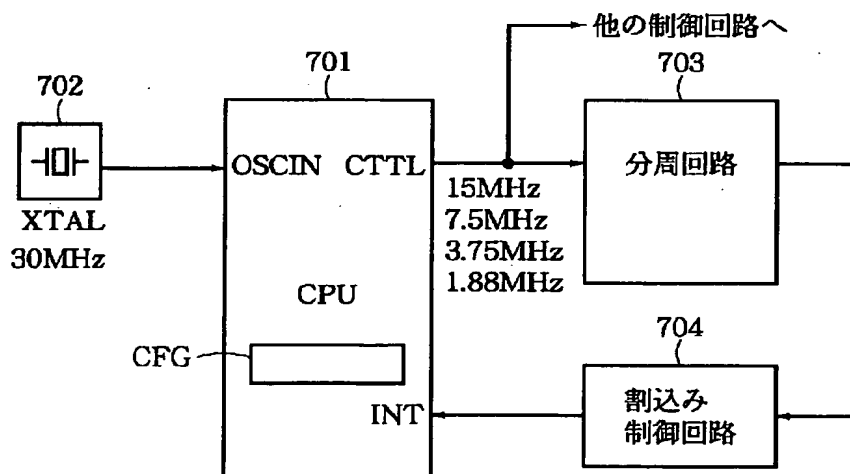
(d) クロックスケーリング: 8



【図8】



【図11】



【図12】

